

Periferní operace využívající přímý přístup do paměti

Základní pojmy

- **Programová obsluha periferní operace** – řízení této činnosti procesorem.
- **Periferní operace využívající přerušení** – řízení řadičem přerušení, procesor je rovněž ve hře.
- **Přímý přístup do paměti (DMA - Direct Memory Access)** – tato činnost je řízena prvkem **řadičem přímého přístupu do paměti** (řadič DMA) schopným řídit přenos dat mezi řadičem periferního zařízení a pamětí, přičemž **přenášená data neprocházejí přes mikroprocesor ani přes řadič DMA.**
- Přenos se odehrává mezi datovým registrem řadiče PZ a operační pamětí či pamětí řadiče a operační pamětí.

- Řadiče DMA bývají konstruovány tak, že:
 - Sestávají z více **nezávislých DMA kanálů**, je možné rozšíření na libovolný větší počet kanálů pomocí kaskádního zapojení.
 - Takto je konstruován řadič DMA Intel 8237A, který byl konstruován pro počítač se sběrnici ISA.
 - Dříve byly schopny řídit systémovou sběrnici tyto prvky: **řadič sběrnice** (od instrukce IN / OUT) a **řadič DMA**.
 - Nyní jsou to ještě prvky typu **bus master**.
 - Prvek typu Bus master – klient systémové sběrnice (např. řadič PZ) – je schopen řídit přenosy dat mezi klientem a operační pamětí v obou směrech.
 - Závěr: datové přenosy přes systémovou sběrnici jsou schopny řídit
 - řadič sběrnice, řadič DMA a prvek bus master

Vstupní periferní operace s využitím DMA sestává z těchto fází:

- přenos dat z PZ do adaptéru (řadiče), naplnění vyrovnávací paměti čtenými daty,
- oznámení procesoru, že přenos dat skončil,
- přenos dat z adaptéru do paměti bez pozornosti procesoru.

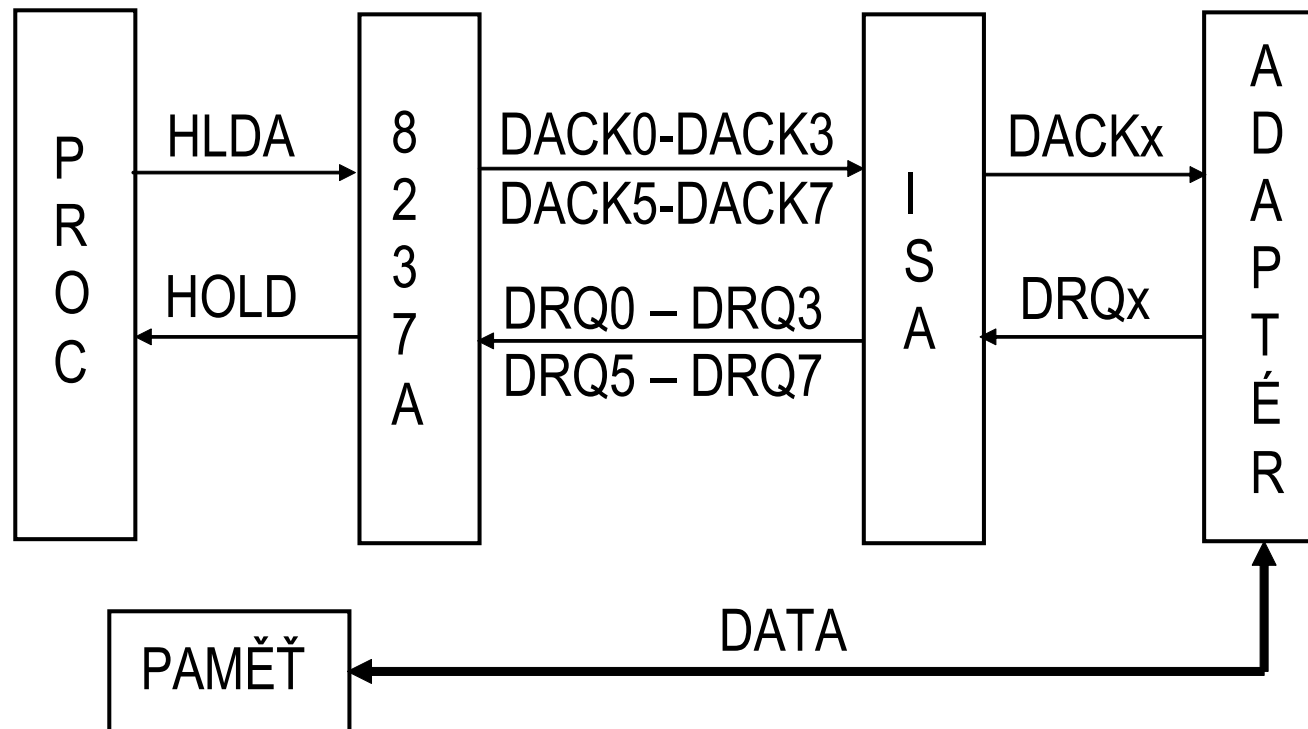
V opačném směru (zápis dat):

- přenos dat z operační paměti do adaptéru (řadiče) PZ,
- provedení operace zápis dat do PZ (např. disku), tzn. uvolnění vyrovnávací paměti řadiče,
- provedení další operace přenos dat z operační paměti do vyrovnávací paměti adaptéru (řadiče) PZ.

Obdobně to probíhá i s prvky typu bus master.

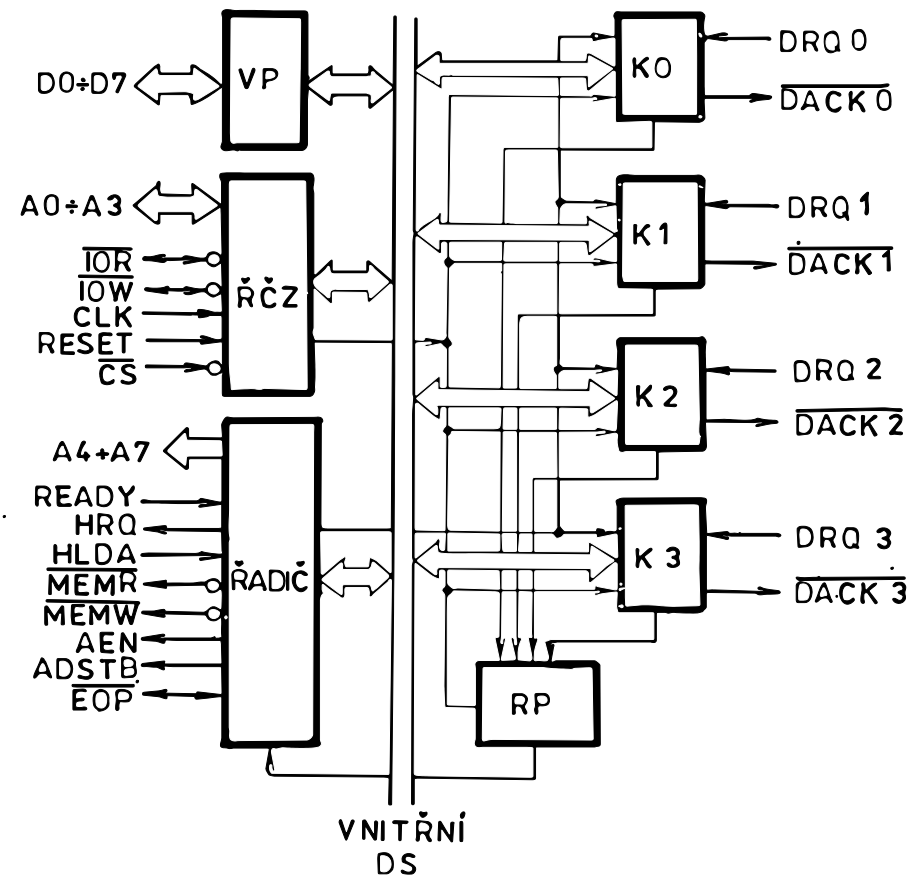
- Těmto činnostem musí předcházet **komunikace mezi řadičem DMA a procesorem**, jejímž výsledkem je **zablokování přístupu procesoru na sběrnice a uvolnění sběrnic pro řadič DMA** (procesor uvede své výstupy do „stavu vysoké impedance“, někdy též označovaného jako „třetí stav“). V tomto stavu nezatěžují výstupy procesoru tyto signály.
- Funkce řadiče DMA:
 - **soustřeďuje požadavky** na přímý přístup do paměti od jednotlivých PZ,
 - pokud je žádajících zařízení více, uplatní se **vestavěný prioritní systém**,
 - na základě „dohody“ s mikroprocesorem **přebírá řízení sběrnice**,
 - **řídí přenos dat** mezi adaptérem a pamětí (generování řídicích signálů, generování adres),

- redukuje počet vývodů procesoru potřebných pro obsluhu přenosů DMA (možnost realizovat komunikaci mezi řadičem DMA a procesorem na dvou signálech).



Obr. 1 Struktura podílející se na vzniku a obsluze DMA požadavku (sběrnice ISA, řadič DMA 8237A)

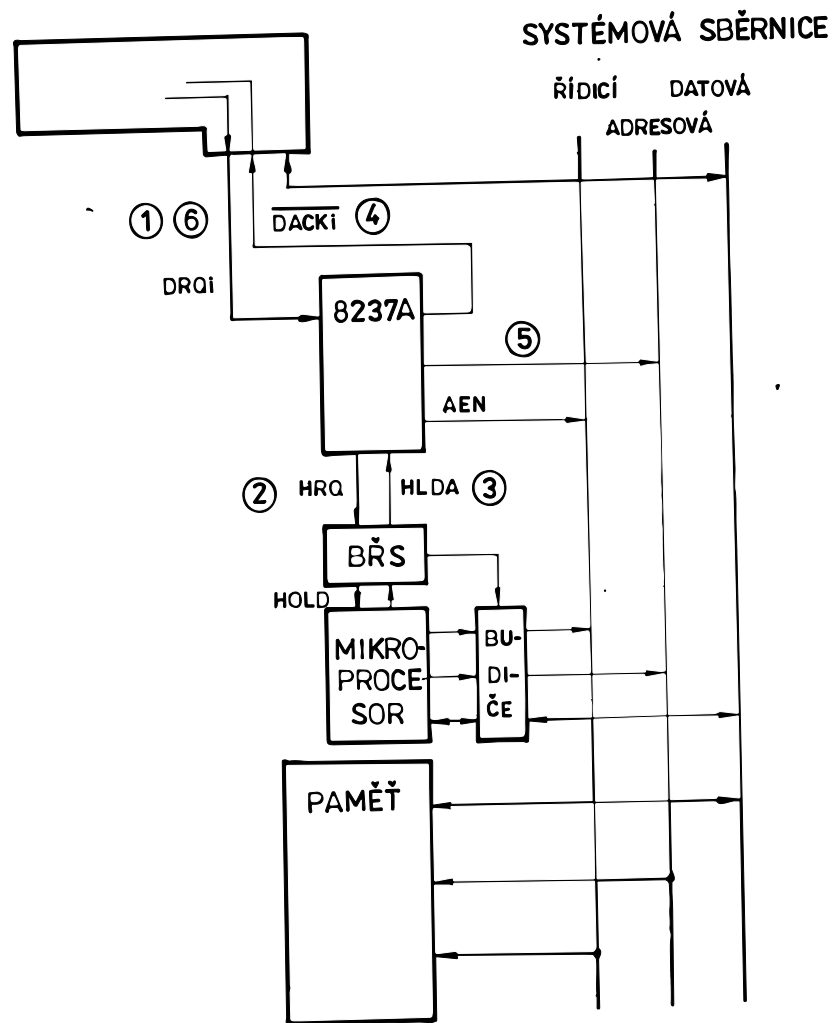
- Komentář k obr. 1:
 - Signály HOLD/HLDA jsou na straně 8237A vyvedeny na vývody (piny) **HRQ/HLDA**, na straně mikroprocesoru na vývody **HOLD/HLDA**.
 - To platí v situaci, kdy mikroprocesor a řadič DMA 8237A jsou samostatnými prvky.
 - Na sběrnici ISA jsou signály DRQ/DREQ (žádost o DMA) a signály DACK (potvrzení žádosti).
 - **Procesor, řadič DMA a paměť** jsou umístěny na systémové desce.



Obr. 2 Rozhraní prvku 8237A

- Komentář k obr. 2
 - Prvek 8237A je napojen na datovou sběrnici, přes ni je možné jej programovat, přes ni jsou realizovány DMA přenosy.
 - Prvek 8237A je napojen na adresovou sběrnici, přes ni je možné adresovat vnitřní prvky (první 4 bity jsou obousměrné, tyto 4 bity stačí na adresování vnitřních prvků řadiče DMA), ty jsou ale také při DMA přenosech použity pro adresaci paměti.
 - Musí být schopen realizovat všechny typy datových přenosů, tzn. musí být schopen generovat signály **-IOR**, **-IOW**, **-MEMW**, **-MEMR** a jejich kombinace.
 - Pozor: signály **-IOR/-IOW** jsou obousměrné, protože registry řadiče DMA musí být možné programovat (tzn. zapsat/číst jejich z/do datové sběrnice), signály **-MEMW/-MEMR** jsou jednosměrné.

- Zobecnění:
 - V situaci kdy prvek počítače je určen k tomu, aby řídil nějaký proces, musí být vybaven tak, aby před řízením tohoto procesu bylo možné do něj vložit řídicí informaci.
- **Průběh přenosu DMA**
 1. Některý z adaptérů zašle prostřednictvím signálu **DRQi** do systémové sběrnice žádost o přenos dat.
Na sběrnici ISA je k předání žádosti celkem sedm možností (**DRQ0 – 3, DRQ5 – 7**).
 2. Řadič DMA rozhodne o prioritě žádosti vzhledem k ostatním a do procesoru vyšle signál **HRQ**.



Obr. 4 Komunikace mezi komponentami PC při DMA přenosu

- Blok BŘS zesynchronizuje žádost **HRQ** se synchronizací mikroprocesoru a jako signál **HOLD** ji pošle do mikroprocesoru.
- 3. Procesor odešle do řadiče DMA signál **HLDA**, který indikuje, že sběrnice bude počínaje příštím taktem volná a přenos DMA může začít.

Podobné signály vyše i směrem k budičům adresové, datové a řídicí sběrnice mikroprocesoru a ty odpojí mikroprocesor od systémových sběrnic.

- 4. Řadič DMA zareaguje na signál **HLDA** vysláním odpovídajícího signálu **DACKi** na sběrnici (tzn. do adaptéru, který vyslal signál **DRQi**).
- 5. Řízení přenosu se ujme řadič DMA a uskuteční přenos jedné položky údajů.

Ukončení DMA přenosu

- Řadič DMA po skončení sběrnicevého cyklu shodí žádost **HRQ** (tzn. **HOLD** na straně mikroprocesoru a mikroprocesor přestane vysílat aktivní **HLDA** => budiče všech částí systémové sběrnice jsou opět připojeny na mikroprocesor a začne probíhat normální procesorový sběrnicevý cyklus.

Poznámka: o ukončení DMA přenosu je rozhodnuto na základě přenosu požadovaného počtu slov.

Logika řadiče DMA

- Blok řízení řadiče DMA
 - Řadič DMA je složitým automatem, který musí být řízen.
 - Generuje vnitřní a externí řídicí signály.
- Blok programového řízení
 - Řadič DMA je řízen příkazy.
 - Dekóduje tyto příkazy, které byly do řadiče vloženy procesorem před zahájením přímého přístupu do paměti.
- Blok řízení priorit
 - Stanovuje prioritu obsluhy současně generovaných požadavků.

Důležité registry

- Registr aktuální adresy
 - 16 bitový registr, v němž je uložena aktuální adresa paměťového místa, do/z něhož je realizován přenos (před zahájením DMA přenosu je přenesena z procesoru).
 - Obsah registru se každým přenosem inkrementuje a při každém přenosu se vkládá na adresovou část systémové sběrnice.
 - Obsah registru je možné zapisovat/číst ze strany procesoru (využitím instrukce IN/OUT).
 - Musí být možné uvést registr aktuální adresy do původního (počátečního stavu) - pro případ opakování operace.

- Registr - čítač slov
 - Registr, v němž je uložen počet požadovaných přenosů (před zahájením DMA přenosu je přenesen z procesoru).
 - Stav registru slov se po každém přenosu snižuje o 1.
 - Musí být možné uvést registr - čítač slov do původního (počátečního stavu).

- Registr báze adresy
 - Registr, v němž je uložena počáteční hodnota registru aktuální adresy (tzn. první adresa oblasti operační paměti, kam se ukládají přenášená data).
 - Využívá se v situacích, kdy je nutno do registru aktuální adresy vložit počáteční adresu (původní hodnotu) – pro případ, že je nutno operaci opakovat.
 - Obsah registru není možné číst ze strany procesoru.

- Záložní registr - čítač slov
 - Registr, v němž je uložena počáteční hodnota registru - čítače slov.
 - Využívá se v situacích, kdy je nutno stav registru - čítače slov aktualizovat na počáteční hodnotu.
 - Obsah registru není možné číst ze strany procesoru.
- Registr příkazu
 - Registr příkazu, jímž je řízena činnost řadiče DMA.
 - Je možné jej programově nulovat pomocí instrukcí Reset a Master Clear.

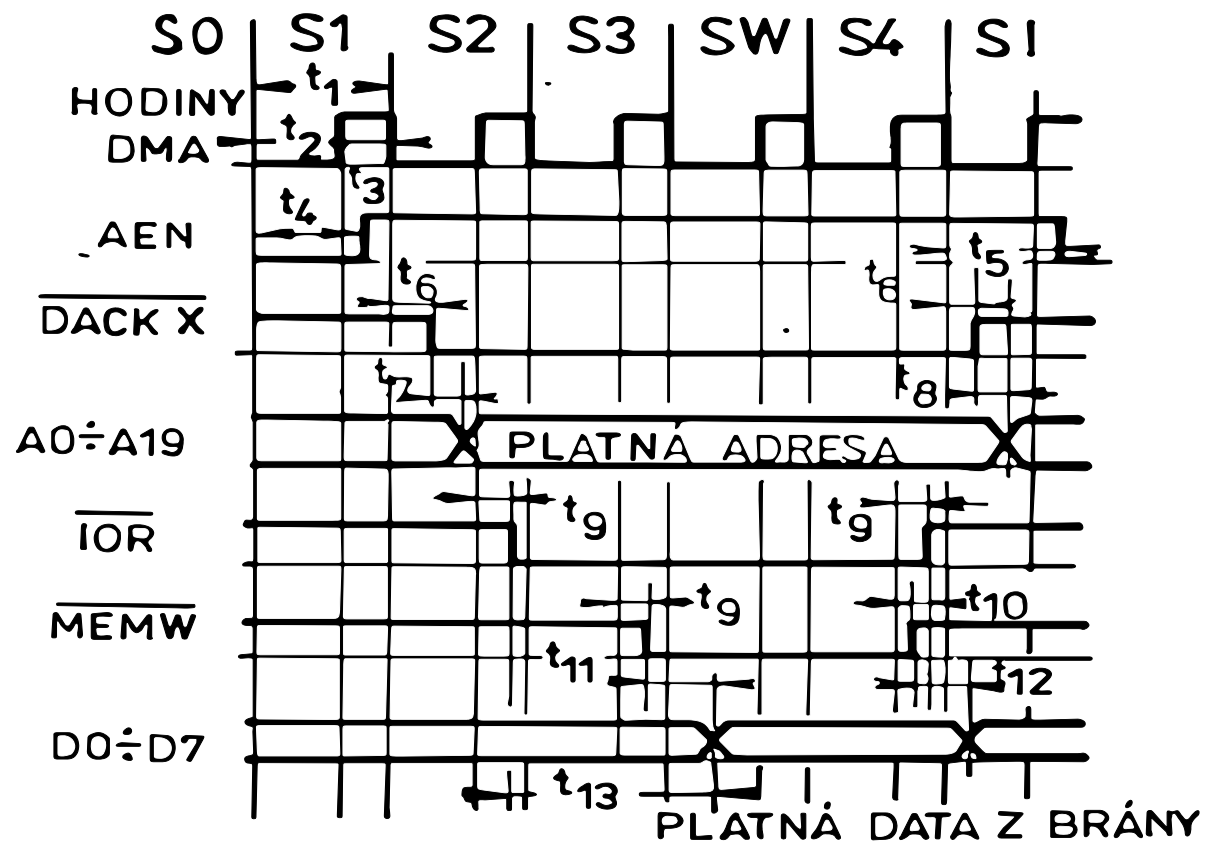
- Registr požadavků
 - Registr požadavků o přenos DMA, každý kanál DMA má k dispozici 1 bit.
 - Tyto bity jsou iniciovány buď na základě signálu **DREQ** nebo softwarově ze strany procesoru.
 - Všechny tyto žádosti jsou analyzovány blokem "výběr požadavků podle priority".
- Registr masky
 - Každý kanál má přidělen 1 bit, jímž je maskován odpovídající signál žádosti o DMA (ve sběrnici ISA signál **DREQ**).
 - Je programovatelný ze strany procesoru.

- Stavový registr
 - Je v něm uložena informace o stavu přenosu přes jednotlivé kanály řadiče.
 - **Možnosti:** kanál dokončil přenos, probíhá obsluha požadavku DMA.
 - Obsah stavového registru je možné číst do některého registru mikroprocesoru.

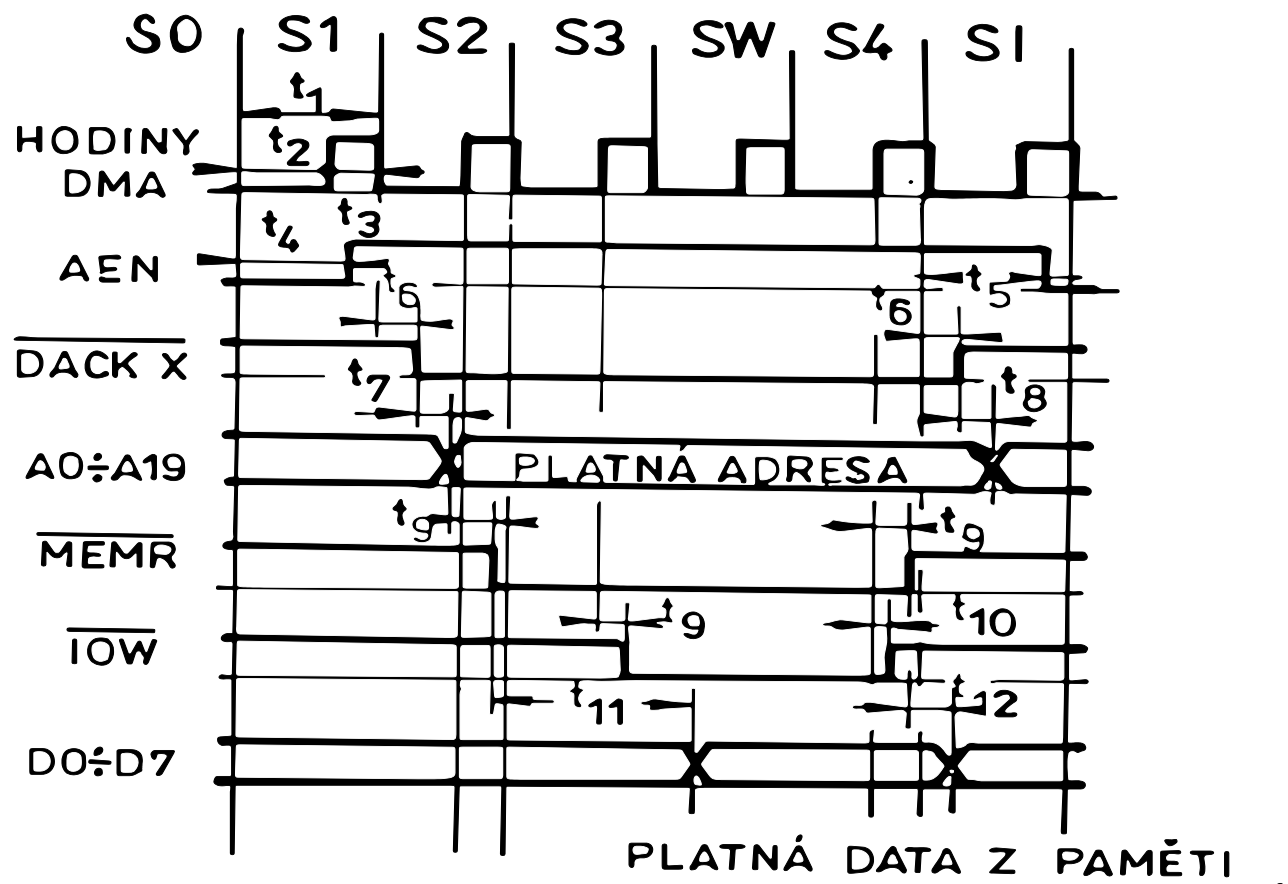
- Dočasný registr
 - Jsou v něm uložena data při přenosech paměť - paměť.
 - Obsahuje vždy slabiku přenášenou během posledního realizovaného přenosu paměť - paměť.
 - Je možné jeho obsah číst do některého registru mikroprocesoru.

Principy činnosti řadiče DMA

- Přenos dat **z periferního zařízení do paměti** – signály **-IOR**, **-MEMW**, oba signály jsou aktivní současně.
- Přenos dat **z paměti do periferního zařízení** – signály **-IOW**, **-MEMR**, oba signály jsou aktivní současně.
- **Přenosy paměť - paměť** vyžadují nejprve realizaci **čtecí fáze**, pak následuje **fáze zápisu**.
- DMA přenosy paměť - paměť vyžadují generování signálů **-MEMW**, **-MEMR**.
- **Důležité:** při žádném z těchto přenosů neprocházejí data přes řadič DMA.



Obr. 5 DMA sběrnicový cyklus čtení z V/V



Obr. 6 DMA sběrnicevý cyklus zápisu do V/V

- Na přenosu DMA se podílejí tyto komponenty:
 - adaptér PZ,
 - systémová sběrnice,
 - řadič DMA,
 - blok řízení sběrnice - BŘS (řadič sběrnice),
 - procesor.

Prioritní systém

- Existují 2 možnosti, jak rozhodovat o prioritě:
 - **Fixed priority** (pevně přidělené priority) – nejnižší prioritu má kanál 3, nejvyšší kanál 0.
 - **Rotating priority** – kanál obsluhovaný jako poslední má pak přidělenou nejnižší prioritu => každý DMA požadavek je v nějaké „rozumné“ době obslužen (demokratický systém).

- **Rozhraní 8237A**

CLK

- synchronizace logiky řadiče DMA,
- pro prvek 8237A-5 byl kmitočet CLK roven 5 Mhz (!!!!!!!).

- **CS** (Chip Select)

- je aktivní v úrovni L,
- vybírá 8237A, je možné realizovat zápis do registrů přes datovou sběrnici (v režimu **IDLE** – tzn. při operacích manipulujících s obsahy registrů 8237A).

RESET

- tímto signálem se nulují tyto registry: Command (příkaz), Status (stav), Request (požadavek), Temporary (dočasný),

READY

- signál „Ready“ je vstupem řadiče 8237A,
- na základě tohoto signálu se prodlouží pulsy pro zápis/čtení do/z paměti,
- řadič DMA se tak přizpůsobuje pomalejším paměťovým prvkům.

A0 – A3

- nejnižší adresové bity (obousměrné signály) – třístavový výstup,
- v režimu **IDLE** je na těchto vodičích adresa registru, jehož obsah je čten/zapisován, příp. kód příkazu.

A4 – A7

- vyšší adresové bity (výstupní signál) - třístavový výstup,
- jsou aktivní pouze při přímém přístupu do paměti.

AEN (Address Enable)

- Generováním tohoto pulsu se na adresovou sběrnici vloží 8 bitů adresy na adresovou sběrnici (horní bity).
- Signál **AEN** může být použit také pro zablokování přístupu jiných komponent na systémové sběrnice.

DB0 – DB7

- 8 bitů datové sběrnice (obousměrné signály).
- Přes tuto sběrnici se čtou/zapisují data z/do vnitřních registrů řadiče (při jeho programování).
- Při realizaci DMA přenosu se přes tuto sběrnici vkládá do externího registru 8 bitů adresy (signálem **ADSTB**).

-IOR (I/O Read)

- Obousměrný signál s třístavovým výstupem (generován buď procesorem – čtení vnitřních registrů řadiče DMA procesorem nebo generován řadičem DMA – přenos dat mezi registrem externího adaptéru a pamětí).

-IOW (I/O Write)

- Obousměrný signál s třístavovým výstupem (generován buď procesorem – programování vnitřních registrů řadiče DMA procesorem nebo generován řadičem DMA – přenos dat mezi pamětí a registrem externího adaptéru).

DREQ0 – DREQ3 (DMA Request)

- Požadavek o přímý přístup do paměti generovaný adaptérem a přenášený přes V/V sběrnici do řadiče DMA.

- Nejvyšší prioritu má **DREQ0**, nejnižší **DREQ3**.
- Signál **DREQ** musí zůstat aktivní tak dlouho, dokud není řadičem DMA generován **DACK**.
- Polarita signálu **DREQ** je programovatelná - po **RESETu** je aktivní úroveň **H**.

DACK0 – DACK3 (DMA Request)

- Signály směrem z řadiče DMA do adaptéru (přes V/V sběrnici), jímž je indikováno, že řízení sběrnic bylo převzato řadičem DMA (přístup mikroprocesoru na systémové sběrnice je zablokován).

HRQ (Hold Request)

- Signál generovaný řadičem DMA (na základě signálu **DREQ** z adaptéru) směrem do mikroprocesoru.

- V řadiči DMA se signál **DREQ** uplatní pouze tehdy, pokud není v řadiči zamaskována.

HLDA (Hold Acknowledge)

- Signál z mikroprocesoru, jímž mikroprocesor indikuje, že „pustil“ řízení sběrnice.

- **MEMR** (Memory Read)

- Generovaný řadičem DMA při čtení z paměti (z adresy, která je vystavena na V/V sběrnici).
- Signál má třístavový výstup.

- **MEMW**

- Generovaný řadičem DMA při zápisu do paměti (na adresu, která je vystavena na V/V sběrnici).

- Signál má třístavový výstup.

ADSTB (Address Strobe)

Přenos 8 bitů adresy do externího registru.

- **EOP** (End of Process)

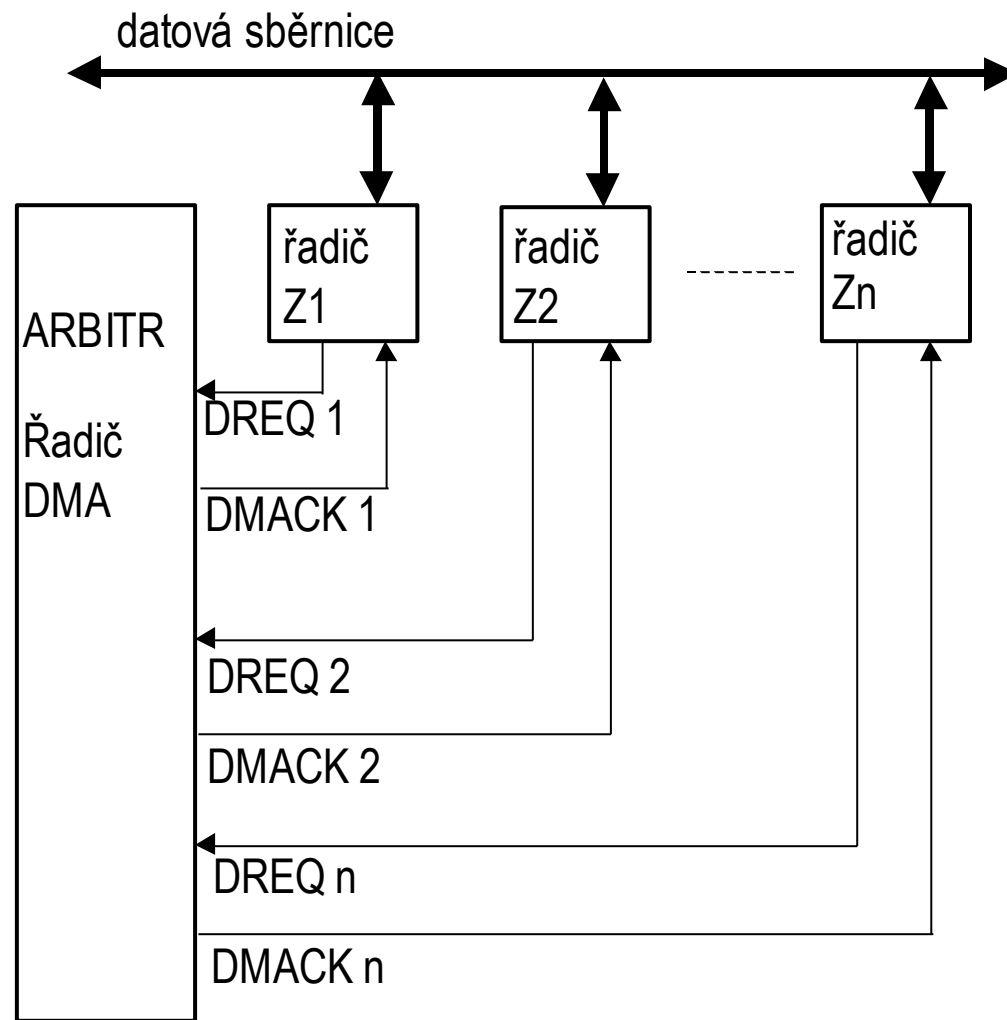
- Obousměrný signál, který je generován buď uvnitř řadiče nebo může přijít z vnějšku a způsobí ukončení přenosu DMA.
- Uvnitř řadiče je odvozen od signálu **TC**, který indikuje přetečení stavu čítače přenesených slov.

Zobecnění principů konstrukce prvku schopného řídit přenosy do/z paměti

- Prvek musí být programovatelný ze strany procesoru.
- Musí být možné do něj uložit počáteční adresu paměti, odkud resp. kam budou data přenášena a počet slov, který bude přenášen.
- Přenosy do / z paměti se odehrávají přes systémovou sběrnici, tento prvek musí být schopen sběrnici řídit, tzn. generovat signály systémové sběrnice.
- Prvek musí být schopen rozpoznat konec operace – stav, kdy je přenesen požadovaný počet slov přes datovou část systémové sběrnice.

Implementace principů DMA v počítači se sběrnici ISA

- V počítači jsou dva prvky, které jsou schopny řídit sběrnici - řadič sběrnice a řadič DMA.
- Funkci arbitra plní řadič DMA - přijímá od řadičů PZ přes systémovou sběrnici žádosti o přerušení - signály DREQx, zpětně odpovídá signály DMACKx.
- Řadič DMA komunikuje s procesorem dvěma signály - omezení počtu vývodů procesoru.



Implementace principů DMA v počítači se sběrnici PCI

- Byla přijata koncepce tzv. **bus mastering**, tzn. **řadiče PZ jsou vybaveny možností řídit sběrnici.**
- Ve sběrnici PCI neexistují signály, které by byly obdobou DREQ, DMACK ve sběrnici ISA.
- Prvky typu bus master jsou schopny:
 - **Požádat o přidělení sběrnice** centrálního arbitra.
 - Po přidělení sběrnice tuto **sběrnici řídit**, tzn. realizovat to, co doposud uměl pouze řadič sběrnice a řadič DMA (vkládat na sběrnici adresu operační paměti, generovat potřebné řídicí signály - IOR, IOW, MEMR, MEMW).
- Sběrnice PCI je pro tyto účely vybavena signály **REQ** (request) a **GNT** (grant), každý bus master má své vlastní signály.

