Paměti SDRAM (synchronní DRAM)

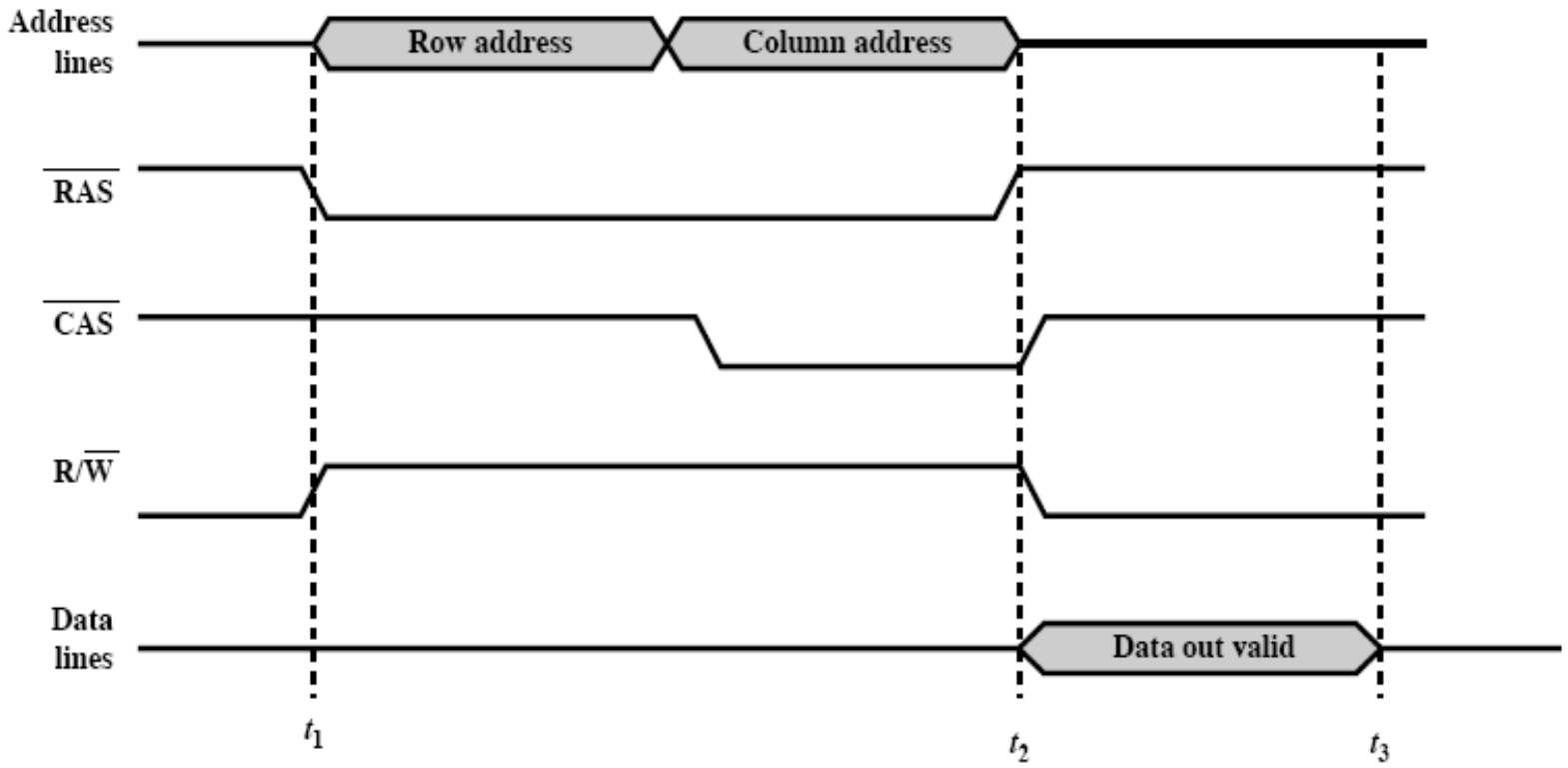
Paměti SDRAM

- Cíl přednášky:
  - Shrnout předcházející techniky řízení pamětí.
  - Prezentovat techniku SDRAM, postihnout její výrazné rysy a odlišnosti od předcházejících typů.
  - Informovat o využití techniky SDRAM v technologii PC.
  - Shrnout získané informace a zobecnit je.

Shrnutí technik FPM, EDO, BEDO – odlišnost od SDRAM

- Technika FPM DRAM umožňuje realizovat čtení tak, že je nastaven ROW na určitou hodnotu a přičítá se hodnota COLUMN.
- Technika EDO – prodlužuje se doba, po niž jsou přečtená data k dispozici na datové sběrnici => řadič paměti poskytuje přijímací straně více času na to, aby si převzala data vystavená na sběrnici.
- Paměť BEDO – možnost realizovat nárazový režim datové operace (obdoba řízení periferních operací).
- FPM, EDO i BEDO – komunikace je asynchronní a odvíjí se od signálů CAS, RAS (význam S – strobe).
- Synchronní DRAM – operace jsou synchronizovány (synchronizace komunikace mezi řadičem paměti a pamětí – synchronizační pulsy – příkazy, data a adresa jsou synchronizovány nástupnou hranou synchronizačního signálu => zesynchronizování činnosti paměti s ostatními komponentami).
- Další výrazný rys – paměť je řízena příkazy, nikoliv signály jako je tomu u FPM/EDO/BEDO.

Asynchronní přenos – časový diagram



Row – řádek

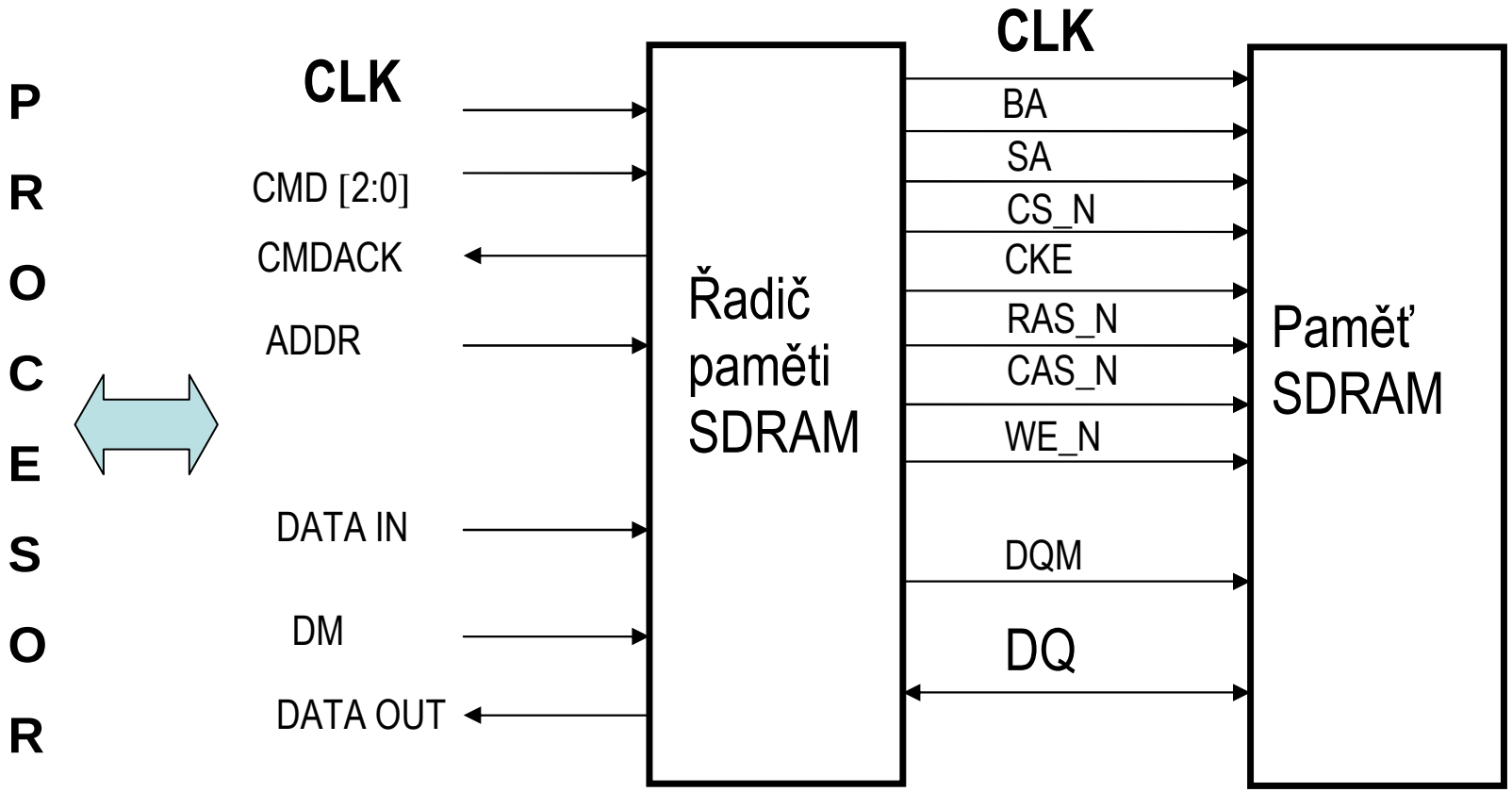
Column - sloupec

Shrnutí technik FPM, EDO, BEDO – odlišnost od SDRAM

- Synchronizační pulsy jsou generovány řadičem paměti (systémové hodiny jsou přes řadič paměti přenášeny do SDRAM).
- FPM/EDO/BEDO dovolují napájení napětím 5V/3,3V, synchronní DRAM jsou napájeny napětím 3,3V nedovolují řízení signály na úrovni 5V.

  => obecně snaha o snížení napájecího napětí (příkonu) při přechodu na vyšší technologii.
- Řadiče paměti – jsou většinou schopny řídit paměti FPM/EDO/BEDO i SDRAM.
- Snaha o zachování rozhraní, i když signály rozhraní mají jinou logiku (význam).

Architektura procesor - řadič - paměť



Charakteristika signálů procesor – řadič paměti

- **CLK**
  Synchronizace – odvozeno od systémových hodin.
- **RESET**
  Systémové nulování.
- **ADDR**
  Adresa paměti pro operace čtení/zápis, příp.pro přenos jiných údajů.
- **CMD** (command)
  Kód příkazu a zároveň požadavek o provedení příkazu (změnou z kódu NOP na jinou kombinaci).
- **CMDACK** (command acknowledge)
  Potvrzení přijatého příkazu.
- **DATA IN**
  Vstupní data.
- **DATA OUT**
  Výstupní data.
- **DM**
  Maska uplatněná na jednotlivé slabiky datové sběrnice.

Charakteristika signálů procesor – řadič paměti

Charakteristika signálů:

- Je to množina signálů, která „nevelkým“ (možná minimálním) počtem signálů pokrývá potřebnou komunikaci mezi procesorem (či jiným prvkem schopným realizovat přenosy do paměti) a řadičem paměti.
- Zobecnění typů signálů:
  - synchronizace + nulování (systémové signály)
  - předání příkazu
  - potvrzení přijetí příkazu řadičem paměti
  - data v obou směrech
  - maska dat

Příkazy přijímané řadičem paměti a jejich kódy

Příkaz CMD[0:2]	**Kód**	**Popis činnosti**
NOP	000	No operation.
READA	001	Čti SDRAM
WRITEA	010	Piš do SDRAM
REFRESH	011	refreš
PRECHARGE	100	Uzavři všechny banky
LOAD_MODE	101	Zapiš do registru mode (režim)
LOAD_REG1	110	Zapiš do konfiguračního registru R1
LOAD_REG2	111	Zapiš do konfiguračního registru R2

Charakteristika signálů řadič paměti - paměť

- Množina signálů je použitelná pro řízení pamětí FPM/EDO/BEDO ale i SDRAM – záměr návrhářů.
- Paměť SDRAM je řízena kombinací signálů RAS, CAS a WE, které představují kód příkazu – rozdíl oproti způsobu využívání těchto signálů asynchronními typy pamětí.
- Každou nástupnou hranou signálu CLK se tyto signály nahrávají do vnitřní logiky (záchytné klopné obvody – latch) a pak jsou dekódovány, SDRAM pak provede požadovanou funkci.
- Časové relace mezi signály CS, RAS, CAS a WE nehrají roli, důležitý je stav těchto signálů v okamžiku nástupné hrany, to platí i o signálech na datové a adresové sběrnici.
- Řadič paměti vkládá do rozhraní s pamětí signál CLK, jeho nástupnou hranou se vkládají údaje do paměti – řízení i data.
- Signál CKE (Clock Enable) – možnost zablokování CLK. Využívá se při POWER-DOWN (vypnutí), SELF-REFRESH (autorefreši).

Charakteristika signálů řadič paměti - paměť

- Signál **CS** (Chip Select) – uvolňuje činnost čipu, tzn. např. dekódování příkazu, vložení dat na datovou sběrnici. Je využíván také klasicky na výběr paměťového čipu na základě adresy.
- Signály **DQ** – data.
- Signál **DQM** – zablokování výstupů (maska).
- **SA**

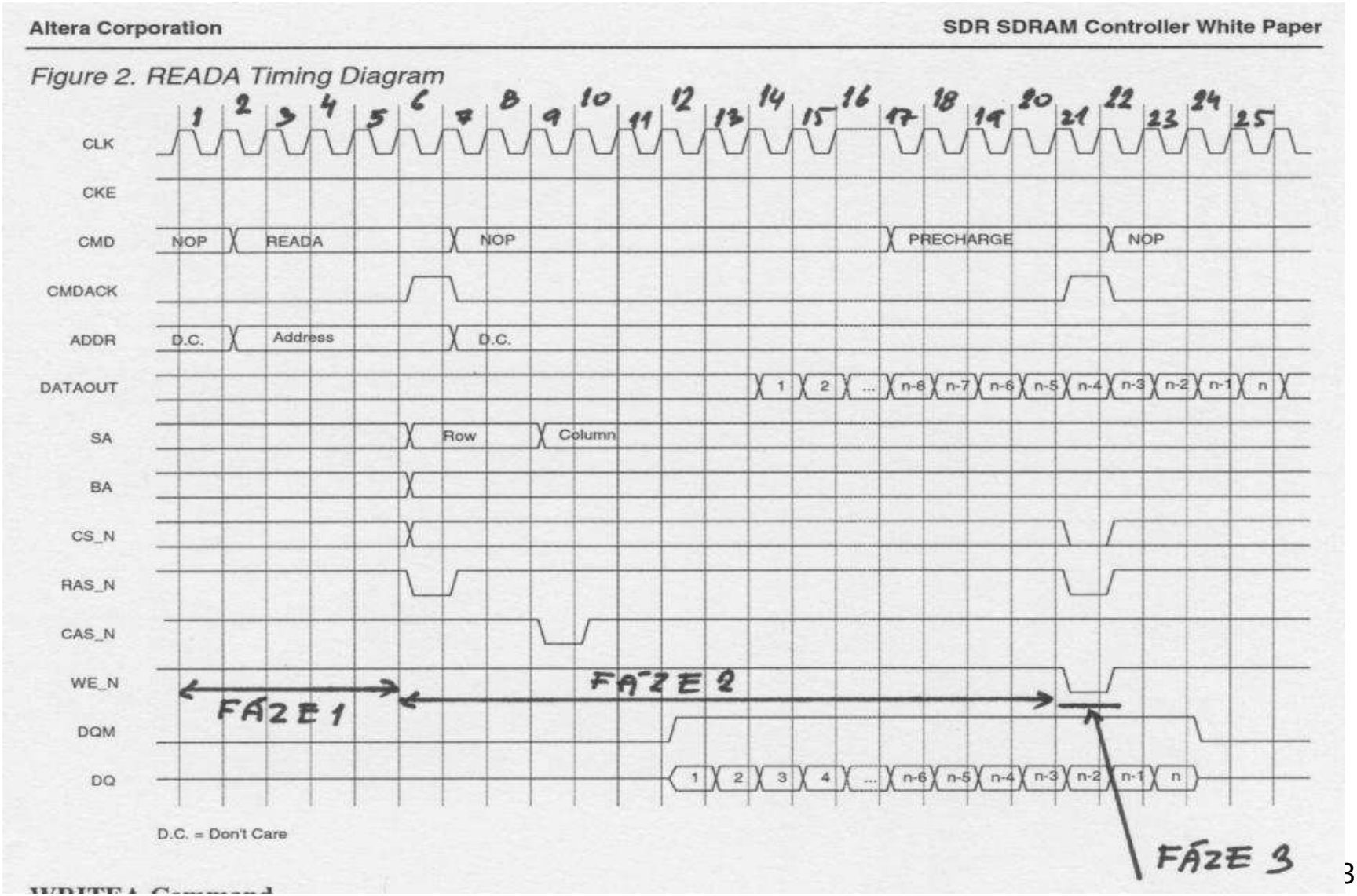
  Adresová sběrnice.
- **BA [1 : 0]**

  Adresa banku (určení, pro který z banků mají být příkazy ACT, RD, WR, PCH použity).
- **RAS, CAS, WE** – kód příkazu
- Registr MODE (režim) – řízení funkcí SDRAM, jako je:
  - Objem dat přenášený v nárazovém režimu (burst length) při čtení nebo zápisu dat – počet sloupců (columns).
  - CAS latency – určuje, za jak dlouho po vygenerování příkazu READ nebo WRITE budou na výstupech DQ adresovaná data k dispozici (typické hodnoty jsou 2 – 3).

Příkazy generované řadičem pro SDRAM

Příkaz	**Zkratka**	**RASN**	**CASN**	**WEN**
No operation	NOP	H	H	H
Activate	ACT	L	H	H
Read	RD	H	L	H
Write	WR	H	L	L
Burst terminate	BT	H	H	L
Precharge	PCH	L	H	L
Autorefresh	ARF	L	L	H
Load mode register	LMR	L	L	L

Časový diagram komunikace procesor – řadič paměti - paměť (operace čtení)



Časový diagram - komentář

- Důležité: Zatímco u pamětí DRAM (FPM, EDO, BEDO) je činnost asynchronní a je řízena signálem CAS, u paměti SDRAM je tomu zcela jinak – paměť je řízena příkazy (3 bity), jedním z bitů je také signál CAS.

- V komunikaci mezi řadičem a pamětí hraje důležitou roli synchronizační signál – v okamžiku nástupné hrany synchronizačního signálu jsou vyhodnocovány signály rozhraní (především kód příkazu na vodičích CAS, RAS, WE).

Činnost řadiče SDRAM při provádění příkazu - komentář

Důležité:

Pokud se od řadiče SDRAM a paměti nevyžaduje žádná činnost, pak je na CMD[2:0] příkaz NOP (tzn. na vstupu řadiče SDRAM). Každá změna v kódu příkazu je rozpoznána a příkaz se provede.

Totéž platí o rozhraní mezi řadičem SDRAM a samotnou SDRAM.

Zobecnění:

- Pokud je komunikace mezi dvěma komponentami postavena na tom, že každou hranou synchronizačního signálu se vyhodnocuje konkrétní vstupní informace (v tomto případě kód příkazu), pak musí být k dispozici příkaz NOP (no operation – prázdný příkaz).
- Odlišnost proti asynchronní komunikaci – signál, jímž je hlášena připravenost ke komunikaci.

Příkazy SDRAM – komentář

- **Příkaz ACT** (ACTIVATE)

  Banky SDRAM musí před čtením či zápisem otevřeny – k tomu slouží příkaz Activate (ACT). Součástí příkazu je adresace patřičného banku a řádku. Potřeba tohoto příkazu souvisí s potřebou uvést výstupy adresované paměti ze stavu vysoké impedance do stavu aktivního.

- **Příkaz Precharge**

  Příkaz PCH (Precharge – uzavření banku): stav bitu SA[10] určuje, jestli má být příkaz PCH proveden na všech bancích nebo bank je určen bity BA[1:0] – uvedení výstupů do stavu vysoké impedance.

- **Zobecnění:**

  Takové nástroje musí být k dispozici všude tam, kde do sběrnice (v tomto případě datové) může vkládat informaci více prvků (v tomto případě paměťových banků).

Příkazy SDRAM – komentář

- Pokud se má z paměti číst nebo do ní zapisovat, tak řadič paměti rozdělí příkaz na dvě části: ACT a pak RD nebo WR (jistá úroveň autonomního provádění paměťové operace – redukce komunikace mezi procesorem a řadičem paměti).
- Funkce vodičů SA[11:0] mezi řadičem a pamětí:
- Příkaz ACT: informace na SA[11:0] – v tomto případě řádek (row) se vloží do registru paměti.
- Příkaz RD/WR: informace na SA[11:0] – v tomto případě sloupec (column) se vloží do registru paměti.
- Při obou těchto činnostech má kombinace CAS, RAS, WE význam **kódu příkazu**, byť pomocí CAS a RAS se zároveň do SDRAM **přenášejí patřičné adresy**.

Provedení paměťové operace

Provedení paměťové operace sestává ze 3 fází:

- **Fáze 1 (přípravná fáze):**

  Komunikace mezi procesorem a řadičem paměti (končí generováním signálu CMDACK řadičem paměti směrem do nadřazené komponenty (procesoru).
- **Fáze 2 (prováděcí fáze):**

  Komunikace mezi řadičem paměti a pamětí (začíná generováním příkazu řadičem paměti – signály WE, CAS, RAS).
- **Fáze 3 (ukončení operace)**

  Uzavření banků (příkaz Precharge).

- **Zobecnění:**

  V komunikaci mezi dvěma komponentami lze většinou rozlišit **přípravnou fázi**, **prováděcí fázi** a **ukončovací fázi**.

Fáze 1 - přenos kódu příkazu a adres do řadiče paměti

1. Na vstup řadiče SDRAM je vložen kód příkazu (např. čtení) – signály CMD[2:0].
2. Řadič SDRAM příkaz přijme a potvrdí přijetí příkazu generováním signálu CMDACK (Command Acknowledge).
3. Součástí této komunikace je předání adresy řádku (row) a sloupce (column) do řadiče paměti (vodiče ADDR).
4. Na vstup řadiče SDRAM je vložen kód příkazu NOP – signály CMD[2:0] – s první hranou CLK po přijetí CMDACK.
5. Platí, že pokud se od řadiče SDRAM a paměti nevyžaduje žádná činnost, pak je na CMD[2:0] příkaz NOP.
6. Platí také, že každá změna v kódu příkazu je pamětí SDRAM rozpoznána a příkaz se provede.

- Fáze 1 je realizována během prvních 5 synchronizačních pulsů. Na jejím konci je v řadiči uložena veškerá informace, kterou je potřeba pro provedení příkazu – kód příkazu a všechny potřebné adresy, **je možné zahájit fázi 2**.

Fáze 2 - přenos příkazu z řadiče SDRAM do SDRAM a jeho provedení

- Provedení příkazu zadaného procesorem se rozdělí na několik kroků (příkazů).
- Jednotlivé banky SDRAM musí být před čtením či zápisem otevřeny – k tomu slouží příkaz Activate - ACT. Součástí příkazu je adresace patřičného banku a řádku.
- Příkaz ACT – kombinace RAS, CAS, WE podle Tab. 2, když je aktivní RAS, tak se zároveň přenáší adresa řádku (row) do SDRAM.
- Příkaz ACT je zahájen 6. synchronizačním pulsem, trvá do 8. synchronizačního pulsu.
- Příkaz RD – začíná 9. pulsem, jeho součástí je přenos sloupce (column) do SDRAM a předání příkazu RD do SDRAM.
- Součástí tohoto příkazu je následně přenos dat z SDRAM do řadiče (signály DQ, maska DQM), následně pak přes DATAOUT z řadiče SDRAM do nadřízeného prvku (procesoru, disku).
- Fázi 2 můžeme označit za prováděcí fázi příkazu.

Fáze 3 (ukončení příkazu, uzavření banku)

- Příkaz Precharge PCH – uzavření banku, ten je poslán do řadiče SDRAM, řadič SDRAM jej pošle do SDRAM až je jisté, že požadovaná data jsou získána (tzn. byl zahájen jejich přenos z SDRAM do řadiče SDRAM.
- Následuje příkaz „No operation“ – Prázdná operace.
- Fáze 3 – ukončení příkazu.

Závěr:

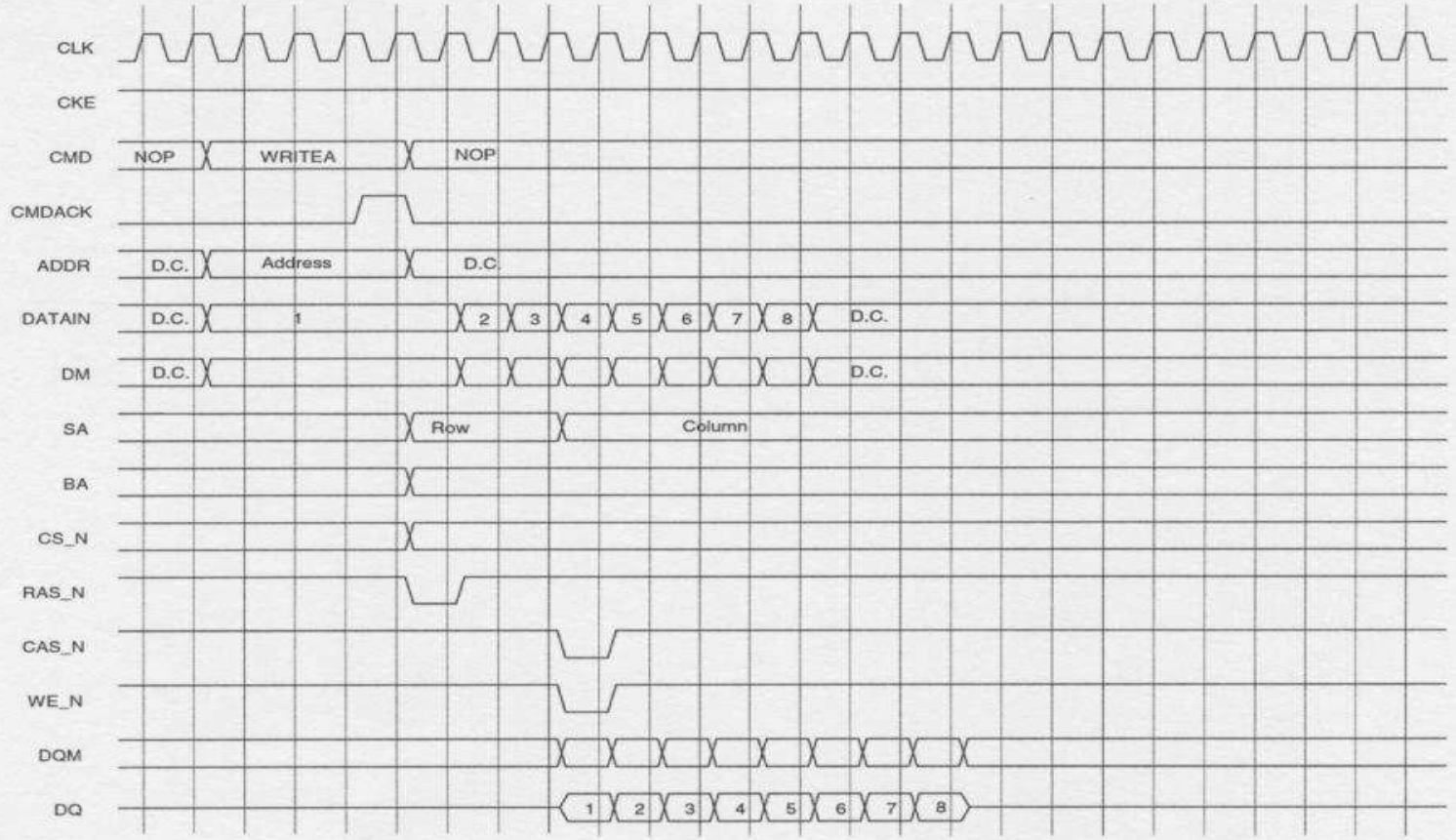
Při analýze jakékoliv komunikace je třeba pátrat po možnosti rozpoznat výše uvedené tři fáze.

Pozor:

Za přípravnou fázi je možné považovat i nastavení režimu komunikace pomocí registrů režimu – to je proces předcházející vlastní operaci čtení/zápis.

Časový diagram komunikace procesor – řadič paměti - paměť (operace zápis)

Figure 3. WRITEA Timing Diagram



Operace zápis a uzavření banku – komentář

Zápis dat do paměti

Stejně jako při čtení je možné i zde rozpoznat 3 fáze.

Opačný směr přenosu dat: data je nutné napřed vložit do řadiče SDRAM, pak teprve do SDRAM.

Uzavření banku (následující časový diagram)

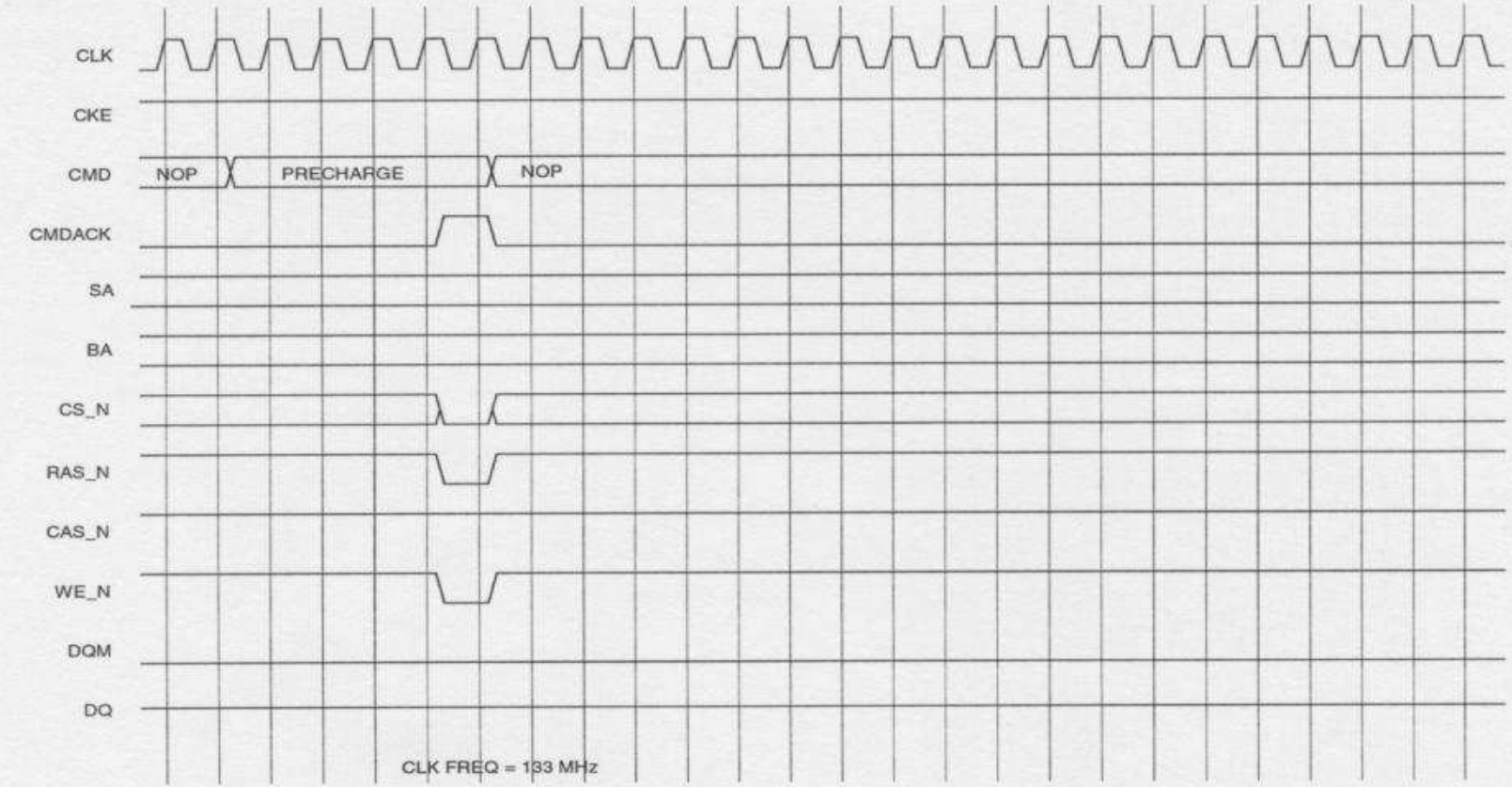
Posloupnost kroků:

- Procesor vloží kód příkazu na signály CMD.

  Řadič DMA generuje CMDACK (potvrzení převzetí signálu) a zahájí provádění příkazu vložením kódu příkazu na signály RAS, CAS, WE.
- Procesor vloží na CMD příkaz NOP.
- Operace „uzavření banku“ (precharge) je operací bez přenosu dat, má charakter operace řídicí.

Časový diagram komunikace procesor – řadič paměti - paměť (operace uzavření banku)

Figure 5. PRECHARGE Timing Diagram



Příkaz Load mode register (LMR)

- Důvody, proč musí být k dispozici registr režimu (mode register):
  - Existuje sestava počítače, do níž má být paměť zabudována.
  - V této sestavě existuje jistý synchronizační kmitočet, jímž má být komunikace mezi řadičem SDRAM a pamětí SDRAM řízena.
  - SDRAM má své dynamické parametry dané katalogovými listy (časové údaje, např. v µs – refresh), podle těchto parametrů musí být nastaven režim komunikace a jeho parametry.
  - V registru režimu jsou i další informace – viz tabulka.
- Informace, která se má zapisovat do registru režimu SDRAM, se z nadřízené komponenty vkládá do řadiče SDRAM z vodičů ADDR (vstup řadiče SDRAM). Hodnota na těchto signálech se přenáší na signály A0 - A11 (vstup SDRAM).
- Dva příkazy: Load_REG1, Load_REG2

Význam bitů ADDR (konkrétní příklad), příkaz Load_REG1

parametr	bity ADDR	význam
CL	[1 : 0]	CAS latency
RCD	[3 : 2]	Interval mezi RAS a CAS v počtu synch. pulsů
RRD	[7 : 4]	trvání příkazu REFRESH v počtu synch. pulsů
PM	[8]	Režim řadiče SDRAM: 0 – normal, 1 – page mode
BL	[12 : 9]	Burst length, typické hodnoty 1, 2, 4, 8.

Výpočet parametrů

- Hodnoty parametrů, které se zavádějí do registrů, jsou ve skutečnosti katalogové údaje (časové) převedené na počty synchronizačních signálů.

- RCD – zpoždění mezi RAS a CAS vyjádřené v počtu synch. pulsů
  - RCD = INT(t_{RCD}/clock period)
  - t_{RCD} – hodnota z katalogu konkrétní SDRAM (časový interval mezi RAS a CAS
  - clock period – perioda synchronizačních pulsů SDRAM

- RRD – trvání příkazu REFRESH vyjádřené v počtu synch. pulsů
  - RRD = INT(t_{RRD}/clock_period)
  - t_{RRD} je hodnota z katalogu SDRAM, clock_period – perioda synchronizačních pulsů SDRAM

Příkaz Load_REG2

- REG2:

  16 bitový registr, v němž je uložena hodnota, která reprezentuje periodu příkazů REFRESH, kterou bude dodržovat řadič SDRAM.

  INT(refresh_period/clock_period)

- **Příklad:**

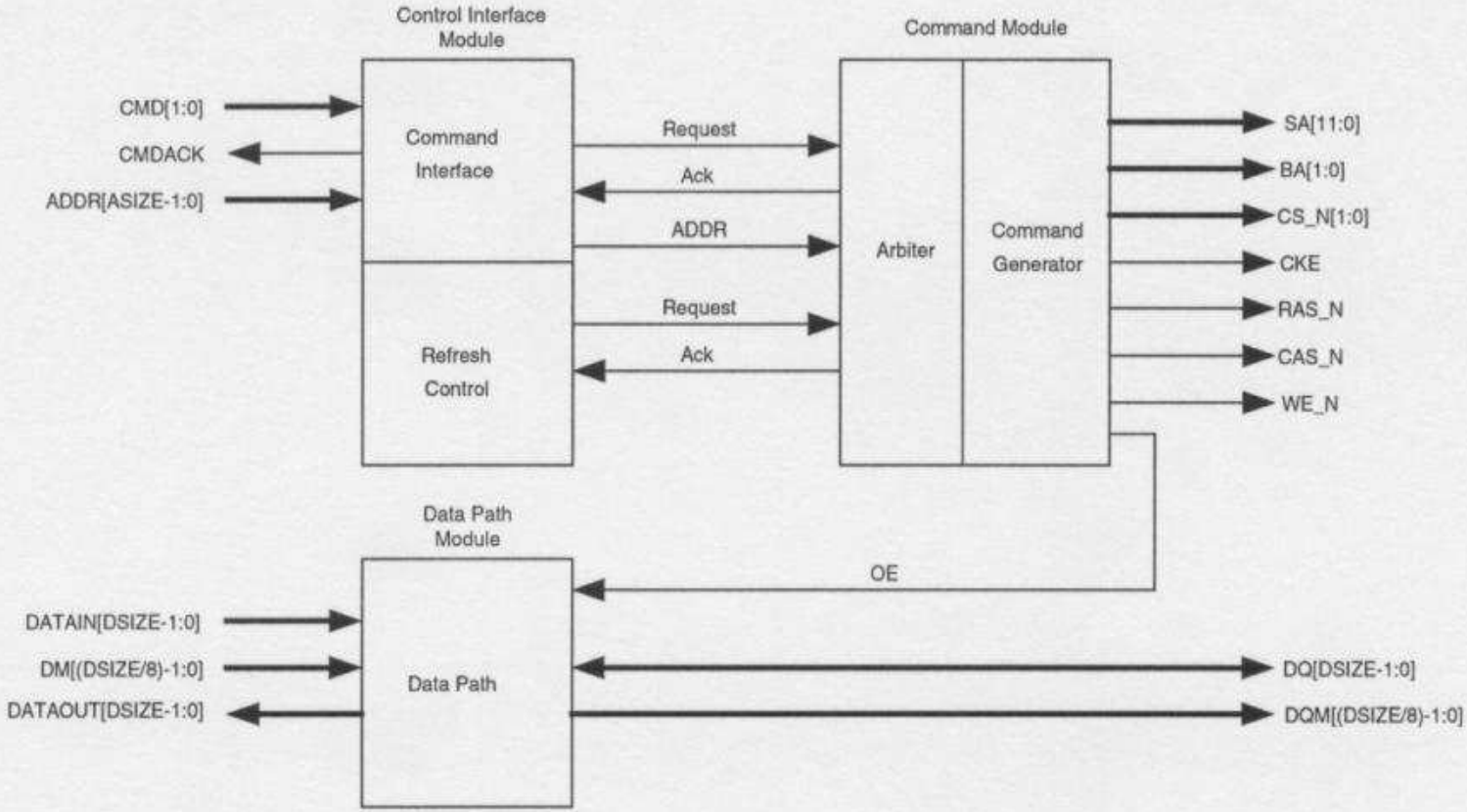
  Refresh celé paměti trvá 64 ms, v rámci těchto 64 ms se musí provést 4096 cyklů (obojí údaje jsou katalogové), tzn. provedení příkazu Refresh musí být vyžadováno každých 15,62509 μs (64 ms/4096 = 15,62509 μs

  Pokud je řadič SDRAM a SDRAM synchronizován kmitočtem 100 MHz, pak počet synchronizačních pulsů, které musí být vygenerovány řadičem SDRAM mezi dvěma příkazy Refresh je 1562.

  15,62509 μs/0.01 μs = 1562

Blokové schema řadiče SDRAM

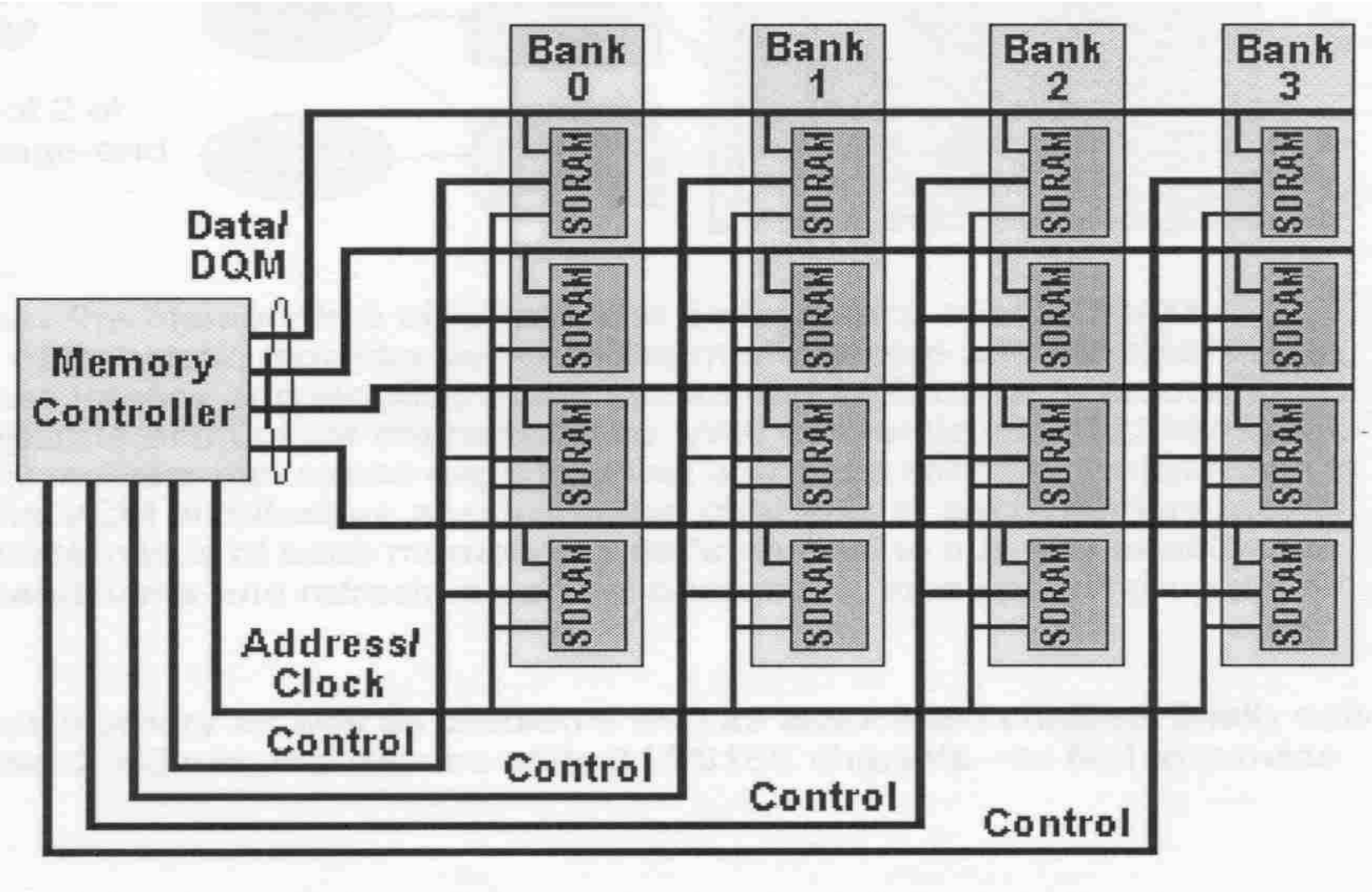
Figure 7. SDRAM Controller Block Diagram



Blokové schema řadiče SDRAM - komentář

- Buď je realizována datová operace (na základě příkazu z nadřazeného prvku) nebo refresh => z toho důvodu musí být součástí řadiče arbitr, který rozhoduje o další činnosti.
- Každá z komponent Command Interface a Refresh Control proto má možnost generovat žádost Request, dostává od arbitra odpověď signálem ACK.
- Po rozhodnutí o následující činnosti (datová operace, refresh) je další činnost řízena jednotným způsobem blokem Command Generator.
- Blok Data Path – řízení obousměrných přenosů do/z paměti.
- Komponenta Command Generator generuje příkazy pro SDRAM, příkaz Autorefresh je jedním z příkazů generovaných řadičem do SDRAM.

Organizace paměti



Paměti SDRAM - aktuální pojmy

- **Single Data Rate (SDR DRAM)**

  Přenosy se odehrávají pouze od jedné z hran synchronizačního signálu.

- **Double Data Rate (DDR DRAM)**

  Odlišnost od předcházejících typů: přenosové děje se odehrávají od nástupné i sestupné hrany synchronizačních pulsů - je tak ve skutečnosti možné dvakrát zrychlit synchronizaci, aniž by se zvýšil kmitočet synchronizačních pulsů.

Paměti SDRAM - aktuální pojmy

- Prvky **PC100 SDR SDRAM** jsou navrženy pro procesory s FSB s rychlostí 100 MHz (Pentium II, Pentium III, AMD K6-III, AMD Athlon, AMD Duron a systémy Power Mac G4.
- Prvky **PC133 SDR SDRAM** – pro procesory s FSB 133 MHz (Pentium III B, AMD Athlon a systémy Power Mac G4).
- Prvky **PC1600 DDR SDRAM** – pro procesory s FSB 100 MHz (200 MHz v DDR režimu). '1600' reprezentuje rychlost v b/s (200 MHz x 8 bitů = 1,6 Gb/s). Později nahrazena plně kompatibilními prvky PC2100.
- Prvky **PC2100 DDR SDRAM** - pro procesory s FSB 133 MHz (266 MHz v režimu DDR). '2100' reprezentuje rychlost v b/s (266 MHz x 8 bitů = 2,1 Gb/s) – počítače s procesory AMD Athlon, Pentium III, Pentium IV.

Paměti SDRAM - aktuální pojmy

- Prvky **PC2700 DDR SDRAM** - pro procesory s FSB 166 MHz (333 MHz v režimu DDR). '2700' reprezentuje rychlost v b/s (333 MHz x 8 bitů = 2,7 Gb/s).
- Prvky **PC3200 DDR SDRAM** - pro procesory s FSB 200 MHz (400 MHz režimu DDR). '3200' reprezentuje rychlost v b/s (400 MHz x 8 bitů = 3,2 Gb/s).
- **DDR2** – přenosy se odehrávají od nástupné i sestupné hrany.

Čeho jsme byli svědky při přechodu z DRAM na SDRAM?

- Nenastala změna paměťové technologie – pořád šlo o dynamickou paměť.
- Byla snaha zachovat stejnou množinu signálů, jimiž je paměť řízena a připravit tak podmínky pro to, aby se neměnilo rozhraní řadiče paměti. **Do rozhraní zařazena synchronizace**.
- Signály rozhraní jsou u SDRAM využity jiným způsobem než u DRAM.
- Názvosloví:

  DRAM – dynamická RAM

  SDRAM – synchronní dynamická RAM

  Nutno rozlišovat ještě SRAM – statická RAM. Technologie konstrukce např. rychlé vyrovnávací paměti (cache). Paměťový prvek – klopný obvod, není nutný refresh.